RISCV术语

20191213更新的riscv-spec中规范了一些术语，翻译如下：

* riscv硬件平台：包含
  + 一个或多个与非riscv兼容核绑定的riscv兼容核（我理解为通过某种协议协同工作）
  + 固定功能的加速器
  + 多样的物理存储结构
  + I/O设备
  + 内部互连结构（我理解就是总线的意思）
* 核：包含独立取指单元的部件
* riscv兼容核（后面简称为riscv核）：可能支持多个riscv兼容硬件线程（thread，也叫hart）
* 协处理器（coprocessor）：
  + 与riscv核连接
  + 接收特定指令流
  + 有独立的硬件结构
  + 自定义部分必须与riscv规范不冲突
* 加速器（accelerator）：
  + 不可编程
  + 功能固定
  + 处理特定任务
  + 注：如果希望可编程，应当将该加速器设计为一个riscv核。